

# LIQUID CRYSTAL DISPLAY DEVICE

Publication number: JP10339880

Publication date: 1998-12-22

Inventor: NATORI MASATAKA; ISHIGE NOBUYUKI

Applicant: HITACHI LTD; HITACHI DEVICE ENG

Classification:

- international: G02F1/1345; G02F1/136; G02F1/1368; G02F1/13;  
(IPC1-7): G02F1/1345; G02F1/136

- european:

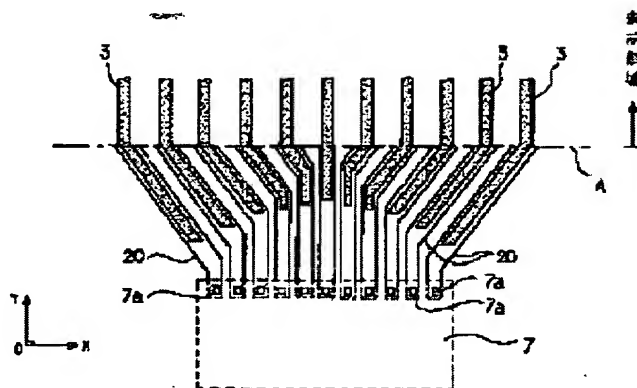
Application number: JP19970150584 19970609

Priority number(s): JP19970150584 19970609

Report a data error here

## Abstract of JP10339880

**PROBLEM TO BE SOLVED:** To secure the uniformity of luminance of a display surface by setting lengths or widths till respective prolongingly existing end parts of respective first metallic layers so that wiring resistances of video signal lines respectively become roughly equal to prevent the delay difference of a video signal from being generated every line of the video signal lines. **SOLUTION:** Video signal lines 3 consist of first metallic layers extending from a pixel area side and second metallic layers extending till video signal supplying terminals. Then, lengths or widths till the extension end parts of respective first metallic layers are set so that wiring resistances of the video signal lines become roughly equal. For example, since the length of the video signal line 3 of a central part is the shortest, the video signal line 3 constituted of a laminated film consisting of successive laminations of Cr and Al is made to extend to a shortest distance and video signal lines 3 to be successively positioned at outer sides are made to extend successively longer in accordance with their positions. Then, connections of the video signal lines 3 and respective electrodes of a semiconductor IC 7 are performed via other electrically conductive layers 20 whose resistance values are higher than that of the laminated film.



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-339880

(43) 公開日 平成10年(1998)12月22日

(51) Int.Cl.<sup>6</sup>G 0 2 F 1/1345  
1/136

識別記号

5 0 0

F I

G 0 2 F 1/1345  
1/136

5 0 0

審査請求 未請求 請求項の数 2 O L (全 11 頁)

(21) 出願番号 特願平9-150584

(22) 出願日 平成9年(1997)6月9日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72) 発明者 名取 正高

千葉県茂原市早野3300番地 株式会社日立

製作所電子デバイス事業部内

(72) 発明者 石毛 信幸

千葉県茂原市早野3681番地 日立デバイス

エンジニアリング株式会社内

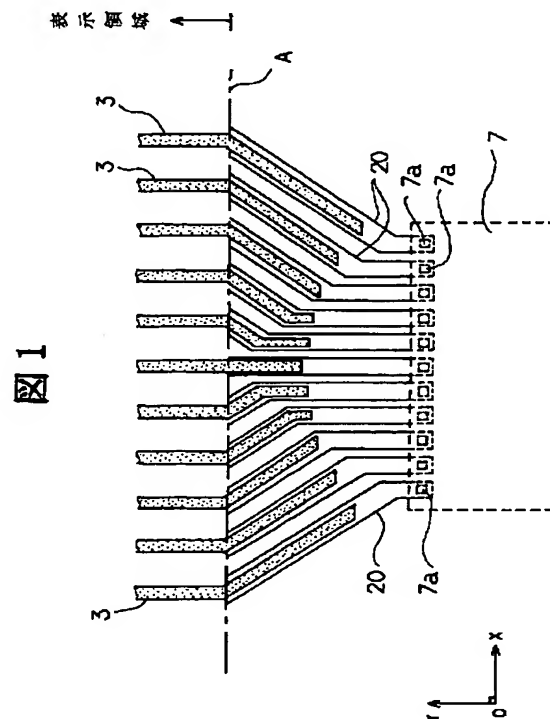
(74) 代理人 弁理士 秋田 収喜

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 映像信号線の各ラインごとに映像信号の遅延差が生じるのを防止し、これにより表示面の輝度の均一性を確保する。

【解決手段】 液晶を介して対向配置される透明基板の一方の透明基板の液晶側の面に、その各画素領域に映像信号を供給する映像信号線が形成され、この映像信号線の映像信号供給端子の近傍にて、該映像信号供給端子と接続される映像駆動回路の電極のピッチに一致づけるように屈曲されて形成されている液晶表示装置において、前記映像信号線は、画素領域側から延在される第1金属層と映像信号供給端子にまで延在される第2金属層とから構成され、これら第1金属層と第2金属層は一部互いに重畳されて形成されているとともに、第1金属層と第2金属層とで形成されるそれぞれの映像信号線の配線抵抗がそれぞれ略同じになるように、各第1金属層のそれぞれの延在端部までの長さあるいは幅が設定されている。



**【特許請求の範囲】**

**【請求項 1】** 液晶を介して対向配置される透明基板のうち一方の透明基板の液晶側の面に、その各画素領域に映像信号を供給する映像信号線が形成され、

この映像信号線の映像信号供給端子の近傍にて、該映像信号供給端子と接続される映像駆動回路の電極のピッチに一致づけるように屈曲されて形成されている液晶表示装置において、

前記映像信号線は、画素領域側から延在される第 1 金属層と映像信号供給端子にまで延在される第 2 金属層とから構成され、これら第 1 金属層と第 2 金属層は一部互いに重畳されて形成されているとともに、

第 1 金属層と第 2 金属層とで形成されるそれぞれの映像信号線の配線抵抗がそれぞれ略同じになるように、各第 1 金属層のそれぞれの延在端部までの長さあるいは幅が設定されていることを特徴とする液晶表示装置。

**【請求項 2】** 第 2 金属層は ITO 膜からなることを特徴とする請求項 1 記載の液晶表示装置。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は液晶表示装置に係り、特にアクティブ・マトリックス型と称される液晶表示装置に関する。

**【0002】**

**【従来の技術】** アクティブ・マトリックス型と称される液晶表示装置は、液晶を介して対向配置される一対の透明ガラス基板のうちその一方の透明ガラス基板の液晶側の面に、x 方向に延在し y 方向に並設された走査信号線とこの走査信号線と絶縁され y 方向に延在し x 方向に並設された映像信号線とが形成され、これら各信号線によって囲まれた矩形状の各領域において画素領域を構成するようになっている。

**【0003】** そして、各画素領域には、走査信号線からの走査信号（電圧）の供給によってオンされる薄膜トランジスタと、このオンされた薄膜トランジスタを介して映像信号線からの映像信号（電圧）が印加される画素電極とが具備されている。

**【0004】** なお、これら各画素電極の集合された領域によって表示領域が構成されることはいうまでもない。

**【0005】** 各走査信号線には透明ガラス基板に対して外付けあるいは搭載される走査駆動回路から走査信号が供給されるようになっており、各映像信号線にはやはり透明ガラス基板に対して外付けあるいは搭載される映像駆動回路から映像信号が供給されるようになっている。

**【0006】** ここで、走査駆動回路は複数の半導体 IC から構成され、それぞれの半導体 IC がグループ化された複数の互いに隣接する走査信号線を担当するようになっている。また、同様に、映像駆動回路も複数の半導体 IC から構成され、それぞれの半導体 IC がグループ化された複数の互いに隣接する映像信号線を担当するよう

になっている。

**【0007】** このことから、走査信号線のうち走査駆動回路に接続される部分（端子部）は、該走査駆動回路の各電極のピッチに一致させるため、表示領域から延在される各走査信号線はそれぞれ走査駆動回路の近傍で互いに収束するようなパターンで形成されるのが通常となる。

**【0008】** 同様に、映像信号線においても、表示領域から延在される部分がそれぞれ映像駆動回路の近傍で互いに収束するようなパターンで形成されている。

**【0009】**

**【発明が解決しようとする課題】** このような構成からなる液晶表示装置は、近年において解像度が飛躍的に向上し、これに伴い特に映像信号線の一ラインあたりの映像信号の選択時間が極めて短くなってきている。

**【0010】** このことから、各映像信号線が映像駆動回路の近傍において上述のようなパターンで形成されている場合、映像駆動回路からみて配線抵抗が各映像信号線で異なり、時定数も各映像信号線ごとに異なっていることが無視できない状況となってきている。

**【0011】** 表示領域に供給される映像信号において映像信号線の各ラインごとに遅延差が生じ、表示面の輝度の不均一性が目立ってくるからである。

**【0012】** 本発明は、このような事情に基づいてなされたものであり、その目的は、映像信号線の各ラインごとに映像信号の遅延差が生じるのを防止し、これにより表示面の輝度の均一性を確保できる液晶表示装置を提供することにある。

**【0013】**

**【課題を解決するための手段】** 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

**【0014】** すなわち、液晶を介して対向配置される透明基板のうち一方の透明基板の液晶側の面に、その各画素領域に映像信号を供給する映像信号線が形成され、この映像信号線の映像信号供給端子の近傍にて、該映像信号供給端子と接続される映像駆動回路の電極のピッチに一致づけるように屈曲されて形成されている液晶表示装置において、前記映像信号線は、画素領域側から延在される第 1 金属層と映像信号供給端子にまで延在される第 2 金属層とから構成され、これら第 1 金属層と第 2 金属層は一部互いに重畳されて形成されているとともに、第 1 金属層と第 2 金属層とで形成されるそれぞれの映像信号線の配線抵抗がそれぞれ略同じになるように、各第 1 金属層のそれぞれの延在端部までの長さあるいは幅が設定されていることを特徴とするものである。

**【0015】** このように構成された液晶表示装置は、第 1 金属層と第 2 金属層とで形成されるそれぞれの映像信号線の配線抵抗がそれぞれ略同じになり、時定数のばらつきがなくなるようになる。

【0016】このため、表示面の輝度の均一性を確保できるようにする。

【0017】

【発明の実施の形態】

〔実施例1〕以下、本発明による液晶表示装置の一実施例であるCOG（Chip on Glass）と称されるアクティブ・マトリックス型液晶表示装置を図面を用いて説明する。

【0018】TFT基板の概略構成

まず、図2は、液晶を介して互に対向配置される一対の透明ガラス基板のうち一方の透明ガラス基板1、いわゆるTFT基板と称される透明ガラス基板1の液晶側の面の構成を示す平面図である。なお、このTFT基板と対向配置される他の透明ガラス基板（TFT基板に対してフィルタ基板と称される）は図示していないが、図中一点鎖線枠Aの個所を外輪郭として対向配置され、その液晶側の面には各画素に共通な共通電極（透明電極）が形成されているとともに、対応する画素毎に色の異なるカラーフィルタが形成されている。

【0019】透明ガラス基板1の液晶側の面には、図中x方向に延在しy方向に並設される走査信号線（ゲート信号線）2が形成され、また、この走査信号線2と絶縁されてy方向に延在しx方向に並設される映像信号線（ドレイン信号線）3が形成されている。

【0020】これら各信号線によって囲まれる矩形状の各領域はそれぞれ画素領域となり、これら各画素領域の集合によって表示領域が構成されるようになっている。

【0021】なお、前記各画素領域には画素電極および薄膜トランジスタ等が形成されているが、これらの詳細な構成は後に詳述する。

【0022】それぞれの走査信号線2は、たとえばその左端が液晶を介して対向配置される他の透明ガラス基板の外輪郭に相当する部分（この部分にはシール材が形成されている）の外側にまで延在され、透明ガラス基板1にフェースダウンボンディングによって搭載された半導体IC5の電極に接続されるようになっている。

【0023】この半導体IC5は走査信号線2に走査信号を供給するための走査駆動回路として機能するものである。

【0024】また、この半導体IC5は複数個からなり、それぞれの半導体IC5は適当な数で順次グループ化された複数の走査信号線2を担当するようになっている。

【0025】さらに、これら各半導体IC5を駆動させるための信号を入力させるための端子6が透明ガラス基板1の周辺に形成され、この端子6は半導体ICの電極に接続されるようになっている。

【0026】すなわち、この液晶表示装置の外付け部品となる外部回路からの信号は、透明ガラス基板1の周辺に形成された端子6から半導体IC5に入力され、この

半導体IC5によって形成された走査信号は走査信号線2に供給されるようになっている。

【0027】なお、同図から明らかなように、各走査信号線2のうち半導体IC5に接続される部分（端子部）は、該半導体IC5の各電極のピッチに一致させるため、表示領域から延在される各走査信号線2はそれぞれ半導体IC5の近傍で互いに収束するようなパターンで形成されている。

【0028】また、それぞれの映像信号線3は、たとえばその下端が液晶を介して対向配置される他の透明ガラス基板の外輪郭に相当する部分（この部分にはシール材が形成されている）の外側にまで延在され、透明ガラス基板1に搭載された半導体IC7の電極に接続されるようになっている。

【0029】この半導体IC7は映像信号線3に映像信号を供給するための映像駆動回路として機能するものである。

【0030】また、この半導体IC7は複数個からなり、それぞれの半導体IC7は適当な数で順次グループ化された複数の映像信号線3を担当するようになっている。

【0031】さらに、これら各半導体IC7を駆動させるための信号を入力させるための端子8が透明ガラス基板1の周辺に形成され、この端子8は半導体IC7の電極に接続されるようになっている。

【0032】すなわち、この液晶表示装置の外付け部品となる外部回路からの信号は、透明ガラス基板1の周辺に形成された端子8から半導体IC7に入力され、この半導体IC7によって形成された映像信号は映像信号線3に供給されるようになっている。

【0033】なお、同図から明らかなように、各映像信号線3のうち半導体IC7に接続される部分（端子部）は、該半導体IC7の各電極のピッチに一致させるため、表示領域から延在される各映像信号線3はそれぞれ半導体IC7の近傍で互いに収束するようなパターンで形成されている。

【0034】画素領域の構成

図3は、互いに隣接する走査信号線2と互いに隣接する映像信号線3とで囲まれた画素領域の構成の詳細を示した平面図である。なお、図3のVI-VI線における断面図を図4に示している。

【0035】図3において、透明ガラス基板1の液晶側の面に、x方向に延在しy方向に並設される走査信号線2がある。この走査信号線2はたとえばA1からなり、その表面が陽極化成されて酸化膜が生成されたものとなっている。しかし、この材料に限定されることはなく他の金属層であってもよいことはいふまでもない。

【0036】そして、この走査信号線2を覆うようにして透明ガラス基板1の面のほぼ全域には、たとえばSiN膜からなる絶縁膜10が形成されている。

【0037】この絶縁膜10は、走査信号線2に対する映像信号線3との交差領域においては層間絶縁膜として、また、後述の薄膜トランジスタTFTの形成領域においてはゲート絶縁膜として、さらには、後述の付加容量素子Caddの形成領域においては誘電体膜として、それぞれ機能するようになっている。

【0038】そして、この絶縁膜の上面であって、薄膜トランジスタの形成領域には島状の半導体層11が形成されている。

【0039】薄膜トランジスタTFTの形成領域は、たとえば図中画素領域の左下の部分に形成され、走査信号線2の一部に重畳する領域となっている。走査信号線2の一部が薄膜トランジスタTFTのゲート電極としての機能をもたせるようにしているからである。

【0040】半導体層11としては、いわゆるi型のアモルファスSiが使用され、その表面にドレイン電極およびソース電極を形成することによっていわゆる逆スタガ構造のMIS型トランジスタが形成されることになる。この場合におけるドレイン電極およびソース電極は、映像信号線と同時に形成される（したがって材料も同じ）ようになっている。

【0041】すなわち、図中y方向に延在しx方向に並設される映像信号線3があり、この映像信号線3の一部が延在されてドレイン電極3Dが形成され、また、このドレイン電極と所定のチャンネル長に相当する間隙を保ってソース電極3Sが形成されている。

【0042】なお、このソース電極3Sは後に詳述する画素電極13と接続される部分となり、この接続領域を確保するための延在部が画素領域側に設けられている。

【0043】そして、この場合の映像信号線3およびこの映像信号線3と同時に形成されるドレイン電極3Dおよびソース電極3Sは、CrとAlとの順次積層による積層膜によって形成されている。

【0044】さらに、このように形成された映像信号線3等を覆って透明ガラス基板1の表面のほぼ全域には、たとえばSiN膜からなる保護膜12が形成されている。この保護膜12は、主として薄膜トランジスタTFTに対する液晶の直接の接触を回避し、これによって、薄膜トランジスタTFTに特性劣化が生じるのを防止できるようにしている。

【0045】そして、この保護膜12の上面における画素領域にはITO（Indium-Tin-Oxide）からなる画素電極13が形成されている。この場合、保護膜12には薄膜トランジスタTFTのソース電極3Sの延在部の一部を露出させるためのコンタクト孔14が予め形成されており、このコンタクト孔14を通して該画素電極13はソース電極3Sと電気的な接続が図れるようになっている。

【0046】なお、画素電極13は薄膜トランジスタTFTを駆動する走査信号線2と異なる他の隣接する走査

信号線2の一部重畳されるように形成されている。これにより該走査信号線2と画素電極13との間に付加容量素子Caddが形成されるようになり、その誘電体膜は絶縁膜10と保護膜12とからなる。

【0047】このように構成された画素領域は、走査信号線2からの走査信号（電圧）の供給によって薄膜トランジスタTFTがオンし、このオンされた薄膜トランジスタTFTを介して映像信号線3からの映像信号（電圧）が画素電極13に印加できるようになっている。

【0048】そして、薄膜トランジスタTFTがオフした際には、前記付加容量素子Caddによって映像信号が画素電極13に長く蓄積されるようになっている。

#### 【0049】映像信号線の半導体ICとの接続部

図1は、映像信号線3の半導体IC7との接続部の詳細を示す平面図である。

【0050】同図では、一個の半導体IC7に接続される各映像信号線3のそれぞれを示したものであるが、他の半導体IC7に接続される各映像信号線3のそれぞれも同様の構成となっている。

【0051】表示領域側から互いに平行な状態で延在される各走査信号線3は、前述したようにCrとAlとの順次積層からなる積層膜で構成され、シール材（図中一点鎖線枠Aに示す）を越えた部分から、半導体IC7側へ指向するように、その走行方向を変えて延在するようにして形成されている。

【0052】すなわち、同図に示すように、半導体IC7が担当する映像信号線3のうち、中央に位置づけられている映像信号線3はそのまま直進するようにして延在しているが、その両脇にそれぞれ位置づけられる他の全ての映像信号線3は中央の映像信号線3側に屈曲され、さらに、各映像信号線3が互いに平行になるように再度屈曲され、そのまま半導体IC7の各電極7aに対向する位置にまで延在されている。

【0053】このことから、半導体IC7に接続される各映像信号線3は、その中央部に位置づけられる映像信号線3において最も配線長が短く、その両側の映像信号線において外側に位置づけられるにともなって順次長くなっていく関係にある。

【0054】各配線ピッチを等しくするため各映像信号線3の線幅は通常等しく形成していることから、それらの配線抵抗も中央部に位置づけられる映像信号線3において最も小さく、その両側の映像信号線において外側に位置づけられるにともなって順次大きくなっていく関係にある。

【0055】本実施例は、このことに鑑み、CrとAlとの順次積層からなる積層膜で構成された映像信号線3を、半導体IC7の電極7aまでの配線経路において、その配線経路の長さにほぼ比例させて途中まで延在させて構成していることにある。

【0056】すなわち、中央部の映像信号線3はその長

さが最も短いことから、CrとAlとの順次積層からなる積層膜で構成された映像信号線3も最も短く延在させ、順次外側に位置づけられる映像信号線3はそれにもなって順次長く延在させるように構成している。

【0057】そして、これらCrとAlとの順次積層からなる積層膜で構成された映像信号線3と、半導体IC7の各電極との接続は、該積層膜と比較して抵抗値の高い他の導電層20を介して行うようになっている。

【0058】この導電層20としては、本実施例の場合、画素電極13の形成と同時に形成するITO膜を用い、表示領域からシール材（一点鎖線枠A）を越えて形成されるCrとAlとの順次積層からなる積層膜で構成された映像信号線3を完全に覆った状態で、半導体IC7の対応する電極7aの位置にまで延在されて形成されている。

【0059】このITO膜からなる導電層20は、映像信号線3の一部として機能することはいうまでもないが、大気に直接触れるCrとAlとの順次積層からなる積層膜の電食発生を防止する機能を有するとともに、半導体IC7の電極7aとの接続を図る端子部としても信頼性よく機能することになる。

【0060】そして、このITO膜を含むそれぞれの映像信号線3は、長さの相違によって生じる配線抵抗の相違を、CrとAlからなる映像信号線の長さの調整によって、極めて小さくなるように構成されていることになる。

【0061】このことから、映像信号線の各ラインごとに映像信号の遅延差が生じるのを防止でき、これにより表示面の輝度の均一性を確保できるようになる。

【0062】〔実施例2〕上述した実施例1は、表示部における画素電極13が保護膜12の上面に形成された構成、つまり画素電極13が最上層として形成された液晶表示装置を対象として説明したものである。

【0063】しかし、該画素電極が最下層として形成された液晶表示装置においても本発明が適用されることはいうまでもない。

#### 【0064】画素領域の構成

図5は、画素電極が最下層として形成された液晶表示装置の画素領域の構成を示す平面図である。なお、同図におけるI-I線における断面図を図6に、II-II線における断面図を図7に、III-III線における断面図を図7に示している。

【0065】図5において、走査信号線をGL、映像信号線をDLとして表し、また、画素電極をITO1として表している。

【0066】ここで、走査信号線GIは、図7および図8に示すように、Alからなる導電層g1からなり、その表面を陽極化成して酸化膜AOFが形成されたものを用いている。これにより、Alの特有な現象であるヒロックの発生を該酸化膜AOFによって防止するようにな

っている。

【0067】映像信号線DLは、CrとAlの順次積層からなる積層膜から構成され、これにもなって、薄膜トランジスタTFTのドレイン電極SD2およびソース電極SD3も同様の材料からなる積層膜で構成されている。

【0068】薄膜トランジスタTFTのゲート酸化膜GIは、その上層に形成される半導体層ASと同一のパターンでエッチングされて形成されているため、画素電極ITO1を完全に被うことなく形成されている。

【0069】これとともに、図6に示すように、保護膜PSV1は該画素電極ITO1の領域において開口を設ける構成としていることから、光の透過率の向上が該ゲート酸化膜GIおよび保護膜PSV1によって妨げられない構成となっている。

【0070】また、薄膜トランジスタTFTのソース電極SD1の画素電極ITO1に対する接続も該ゲート酸化膜GIにコンタクト穴を設けることなく直接にできるようになっている。

#### 【0071】映像信号線の半導体ICとの接続部

図9は、図1と対応する図であり、図1よりもさらに具体的に示した平面図である。

【0072】図9においても、ドレイン映像信号駆動回路は透明基板上にCOG（Chip on Glass）実装される構成となっており、表示領域の画素ピッチとドレイン映像信号駆動回路と接続するための端子ピッチが異なるため、表示領域とドレイン映像信号駆動回路実装部との間はピッチを調整するために図示のようにドレイン信号線の一部を斜め方向に配置されるようにレイアウトされている。

【0073】図10（a）は、図9におけるドレイン映像信号線の表示領域とドレイン映像信号駆動回路との間にレイアウトされる斜め配線部のみを示した図である。

【0074】同図においては、この配線部の縦構造（層構造）は、2枚の透明基板を重ね合わせるためのシール材を塗布または印刷する部分を境として異なっている。

【0075】すなわち、シール材塗布（印刷）部に対してドレイン映像信号駆動回路実装部側は透明基板膜面を上として最上層からPAS/ITOの2層構造となっている。これは、シール材の外側にAl/Cr膜を用いない構成とすることによって、この部分に電食を発生させないようにしている。

【0076】なお、ITOは画素電極ITO1と同一の工程で形成され、PASは保護膜PSV1の延在部分として形成されるようになっている。

【0077】また、シール材塗布（印刷）部に対して表示領域側は透明基板膜面側を上として最上層からPAS/ITOの2層構造の部分と、PAS/Al/Cr/ITOの4層構造の部分がある。

【0078】ここで、Al/Cr/（ITO）の構造が

らなるドレイン信号線のパターンを図10(b)に示す。

【0079】なお、この実施例においては、 $Al/Cr$ の2層は同一ホトマスクを用いてパターン形成を行うため、 $PAS/Al/Cr/ITO$ の4層構造のパターンは3枚のホトマスクを用いて形成する。

【0080】ここで、パターン設計時には、 $ITO$ 膜のシート抵抗を $20\Omega/\square$ 、 $Al/Cr$ 膜のシート抵抗を $0.09\Omega/\square$ としており、前記斜め配線部の配線抵抗はシート抵抗が $Al/Cr$ 膜に比べて3桁異なる $ITO$ 膜のパターン幅、および長さに大きく依存するようになっている。

【0081】このようなことから、斜め配線を形成する導電膜のうち、シート抵抗の低い $Al/Cr$ 膜の長さを調整することにより、ドレイン映像信号線の配線抵抗は基板内において一定とすることができる。

【0082】上述した実施例においては、斜め配線を形成している $ITO$ 層、および $Al/Cr$ 層のパターンは前ラインにおいてそれぞれ同一幅としてレイアウトしてある。つまり、ドレイン映像信号駆動回路一つに対応する斜め配線1ブロックの中で、最も斜め配線が長くなるブロックの端部にあたる配線はシート抵抗の高い $ITO$ 層をできるだけ長くする必要がある。

【0083】よって、シート抵抗が $ITO$ 層に比べて低い $Al/Cr$ 層は、ブロックの端部においては最も長くなるようにレイアウトされ、また、シール材の外側には $Al/Cr$ を形成しないようにしている。また、ブロックの中央部においては、 $Al/Cr$ 層は最も短くなるようにレイアウトされている。

【0084】図11は、図10(a)におけるA部を拡大したものである。図12は、図10(b)におけるB部を拡大したものである。このことから $Al/Cr$ 層の長さが除々に変化していることが明らかとなる。

【0085】上述した実施例では、映像信号線の長さの相違によって生じる配線抵抗の相違を $Cr$ と $Al$ からなる映像信号線の長さを調整することによって小さくしているものであるが、これに限定されることはないことはいうまでもない。

【0086】たとえば、表示領域から延在される $Cr$ と $Al$ からなる映像信号線の幅を変化させることによって行うようにしてもよいことはもちろんである。

【0087】すなわち、 $ITO$ 膜の幅の範囲内で、中央部の前記映像信号線の幅を最も小さくし、その外側に順次位置づけられる従って順次大きくするようにしてもよい。さらに、長さおよび幅のそれぞれの設定によって映像信号線の全体の配線抵抗を同じようにしてもよいことはいうまでもない。

【0088】また、上述した実施例では、表示領域内に形成する映像信号線として $Cr$ と $Al$ の順次積層からなる積層膜を用いたものであるが、このような材料および積層構造に限定されることはなく、他の材料で、また一層構造で形成してもよいことはいうまでもない。

【0089】また、上述した実施例では、映像信号線の半導体 $IC$ と接続が図れる部分において $ITO$ 膜を用いたものであるが、この材料に限定されることはなく、端子部の形成に適した他の金属層であってもよいことはいうまでもない。

【0090】さらに、本実施例では、いわゆるCOG型のものについて説明したものであるが、これに限定されないことはもちろんである。

【0091】表示領域からシール材を越えて延在される映像信号線が映像駆動回路(半導体 $IC$ )と接続される部分において、該映像駆動回路の電極のピッチに一致づけるようにして、それらが屈曲されて互いに収束するようなパターンで形成されていれば本発明が適用できるからである。

【0092】

【発明の効果】以上説明したことから明らかなように、本発明による液晶表示装置によれば、映像信号線の各ラインごとに映像信号の遅延差が生じるのを防止でき、これにより表示面の輝度の均一性を確保できるようになる。

【図面の簡単な説明】

【図1】本発明による液晶表示装置の一実施例を示す要部平面図である。

【図2】本発明による液晶表示装置のTFT基板の一実施例を示す概略平面図である。

【図3】本発明による液晶表示装置の画素領域の一実施例を示す平面図である。

【図4】図3のVI-VI線における断面図である。

【図5】本発明による液晶表示装置の画素領域の他の実施例を示す平面図である。

【図6】図5のI-I線における断面図である。

【図7】図5のII-II線における断面図である。

【図8】図5のIII-III線における断面図である。

【図9】本発明による液晶表示装置の他の実施例を示す要部平面図である。

【図10】図9に示す平面図のうち一部分を抜き出した説明図である。

【図11】図10(a)のA部の拡大図である。

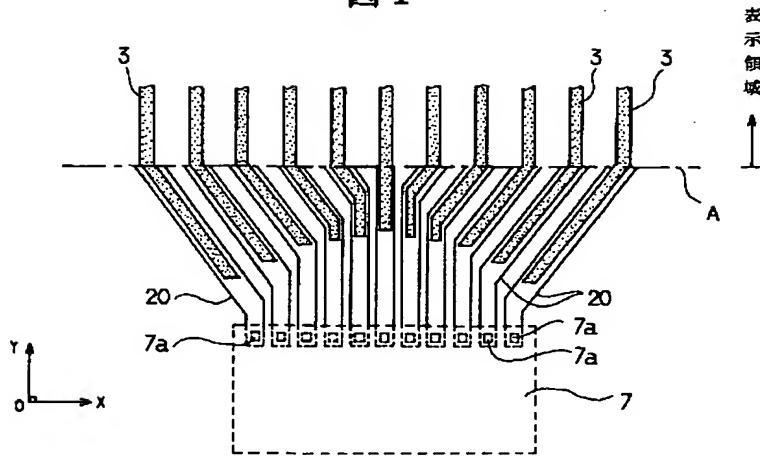
【図12】図10(b)のB部の拡大図である。

【符号の説明】

1…透明ガラス基板、3…映像信号線、7…半導体 $IC$ (映像駆動回路)、20…導電層( $ITO$ 膜)。

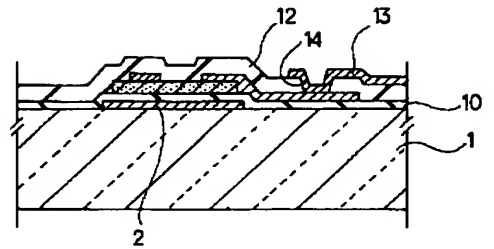
【図1】

図1



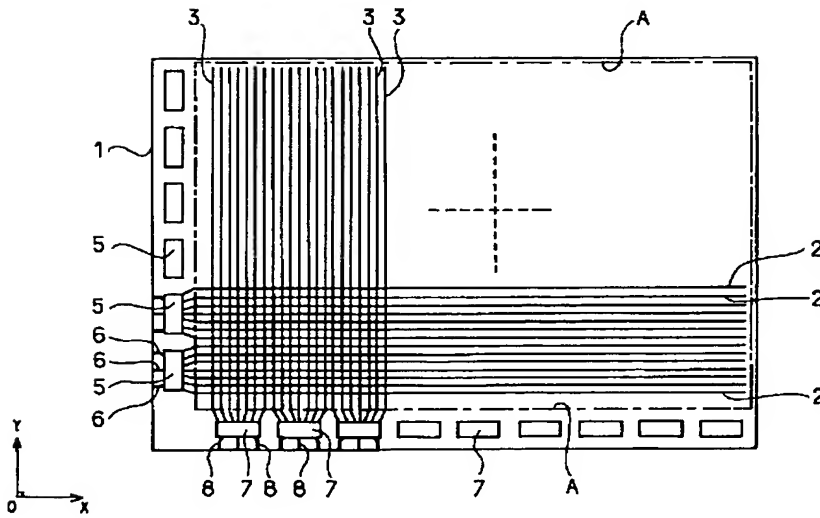
【図4】

図4



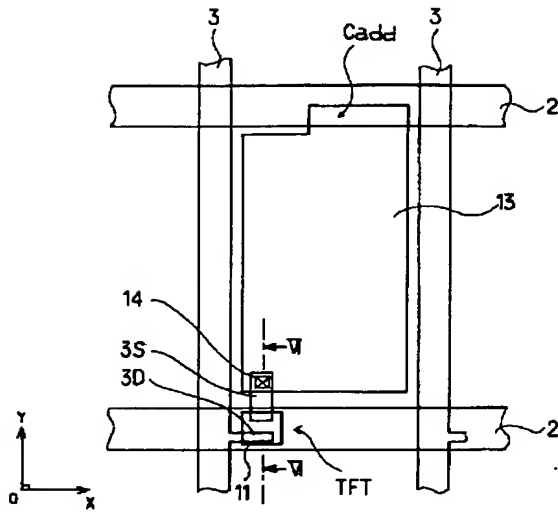
【図2】

図2



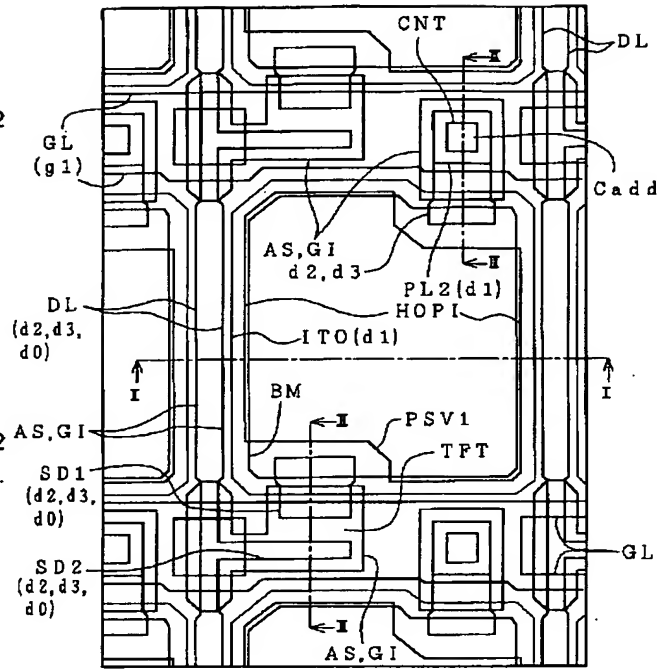
【図3】

図 3



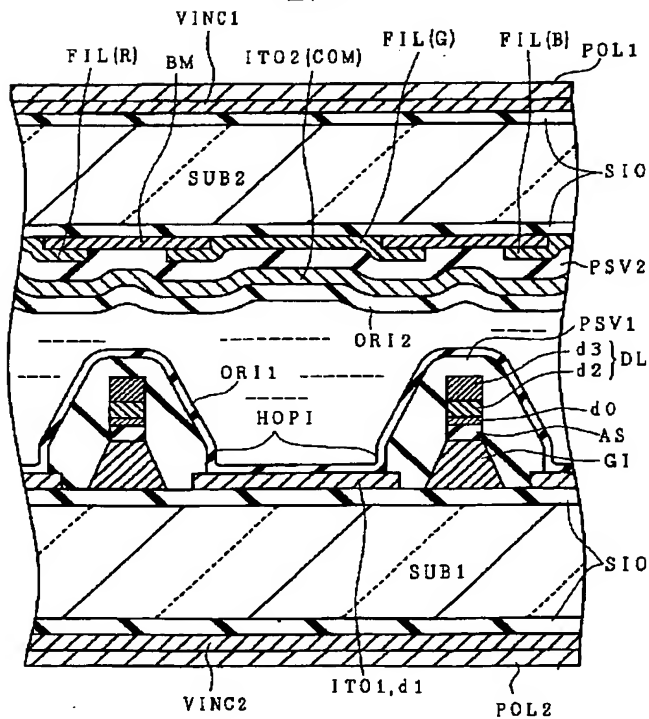
【図5】

図 5



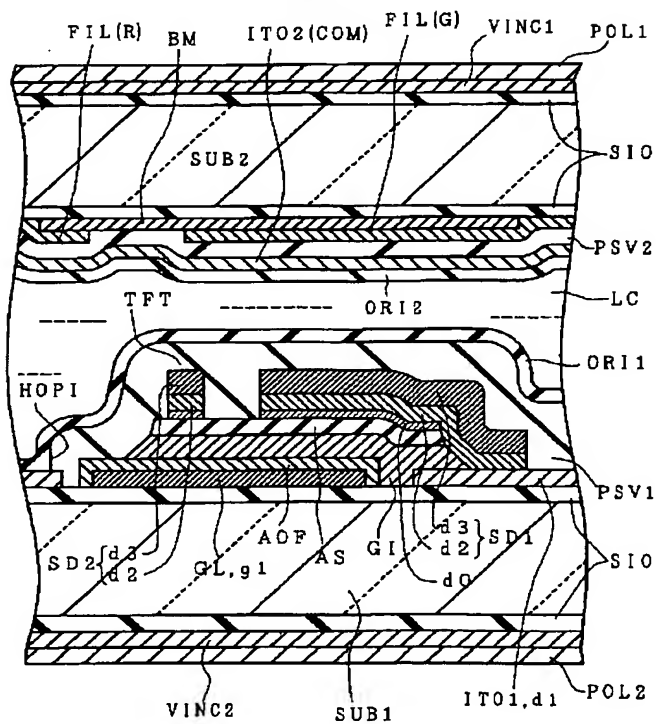
【図6】

図 6



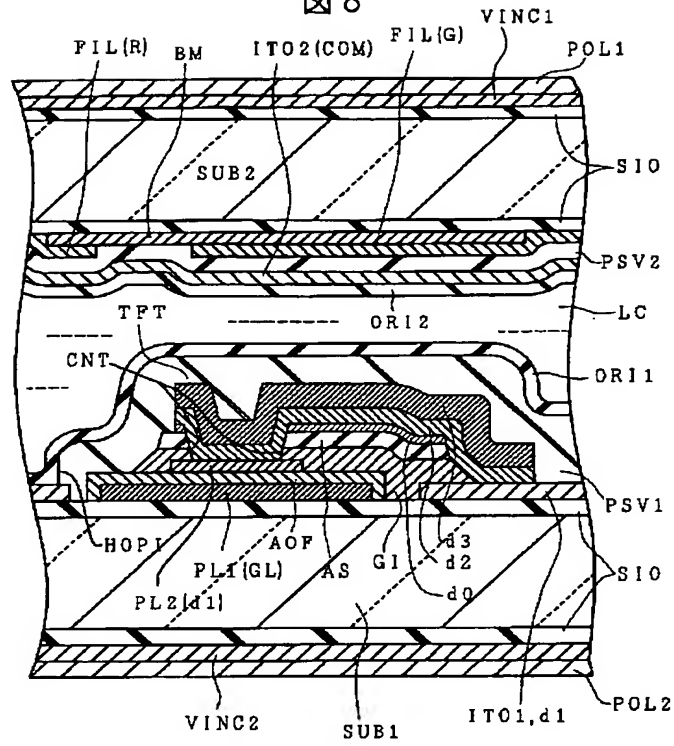
【図7】

図 7



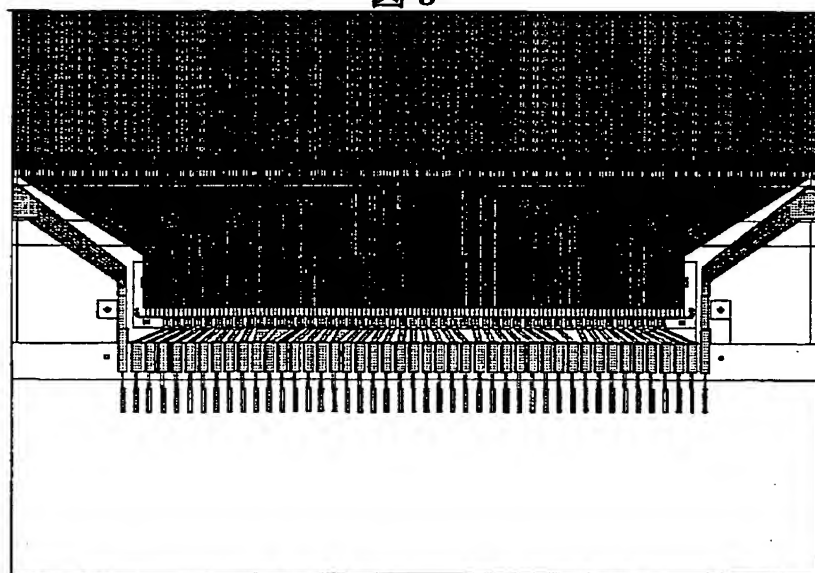
【図8】

図 8



【図9】

図 9



【図 10】

図 10

(a)



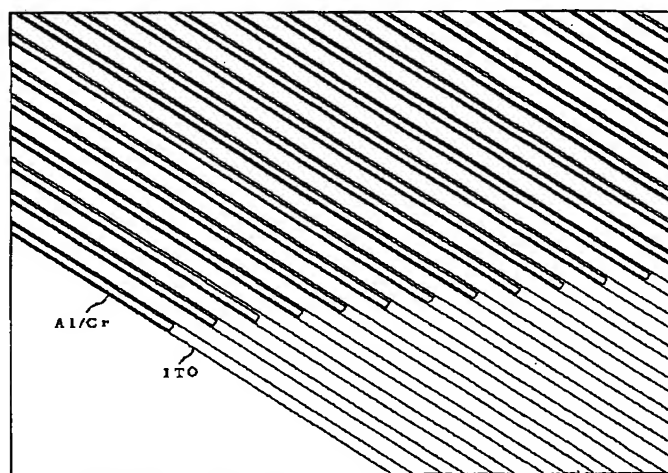
(b)



ドレイン端子側斜め配線 D-Al/Cr パターン

【図 11】

図 11



【図 12】

図 12

